

(1) Japanese Patent Application Laid-Open No. 6-120501 (1994)
"THIN-FILM TRANSISTOR"

The following is English translation of an extract from the above-identified document relevant to the present application.

5 An N-type polycrystalline silicon layer 4 and a P-type polycrystalline silicon layer 5 are formed in layers on a polycrystalline silicon film 2 which is to be an active layer through an oxide silicon film 3 which is to be a gate insulating film, and then patterned to form a gate electrode. At a gate voltage within its operating range, a diode is biased reversely, while at a gate voltage outside its operating range, it is
10 made conductive, thereby reducing leakage current.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-120501

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵

H 01 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平4-264460

(22)出願日 平成4年(1992)10月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 北方 誠

東京都港区芝五丁目7番1号日本電気株式
会社内

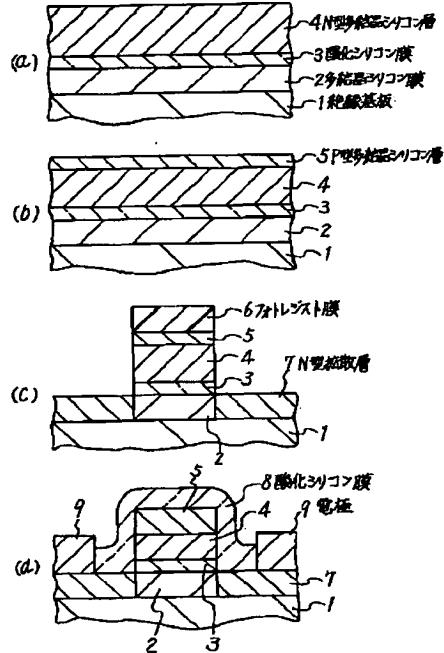
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】薄膜トランジスタのゲート電極にPN接合を設けて接続したクランプダイオードを形成することにより、ゲート電圧依存のリーク電流を低減する。

【構成】活性層となる多結晶シリコン膜2の上にゲート絶縁膜となる酸化シリコン膜3を介してN型多結晶シリコン層4とP型多結晶シリコン層5とを積層してバーニングし、ゲート電極を形成し、ゲート電圧が通常の動作のときにはダイオードを逆方向バイアスされ、ゲート電圧が非動作領域にあるときに導通させることによりリーク電流を低減させる。



【特許請求の範囲】

【請求項1】 絶縁基板上に設けた多結晶シリコン膜と、前記多結晶シリコン膜上にゲート絶縁膜を介して設けたゲート電極とを有する薄膜トランジスタにおいて、前記ゲート電極が一導電型半導体膜及び前記一導電型半導体膜の上に積層して設け且つ前記一導電型半導体膜とPN接合を有する逆導電型半導体膜を有することを特徴とする薄膜トランジスタ。

【請求項2】 絶縁基板上に設けた多結晶シリコン膜と、前記多結晶シリコン膜上に設けたゲート絶縁膜と、前記ゲート絶縁膜上に設けた一導電型半導体膜からなるゲート電極と、前記ゲート電極の引出線とPN接合を有する逆導電型半導体膜からなる配線を備えたことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタに関する。

【0002】

【従来の技術】 薄膜トランジスタは、活性層に多結晶シリコン膜を用いることにより、600°C程度の低温で絶縁物上に形成できることや、下地の段差形状に対する被覆性が良い等の特徴を有しており、シリコン基板に形成したトランジスタの上層に積層して用いられたり、ガラス基板上の液晶駆動用トランジスタとして広く用いられている。

【0003】 図6は従来の薄膜トランジスタの一例を示す断面図である。

【0004】 図6に示すように、ガラス基板等の絶縁基板21の上に活性層の多結晶シリコン膜22を設け、多結晶シリコン膜22の上に化学気相成長法（以下CVDと記す）により形成した酸化シリコン膜などからなるゲート絶縁膜23を介して、多結晶シリコン膜や金属膜からなるゲート電極24を設け、そのゲート電極24に整合して多結晶シリコン膜22にソース、ドレインと呼ばれる高濃度不純物拡散層25を設け、ゲート電極24を含む表面に設けた層間絶縁膜26にコンタクトホールを設け、コンタクトホールの拡散層25に接続する電極27を設けて電界効果型トランジスタを構成する。

【0005】 また、その製法としては、ジシラン、シリコンなどの成長ガスを用いて、650°C付近の温度、数十Torr程度の減圧下でのCVD法により堆積された多結晶シリコン膜や、非晶質シリコン膜を堆積した後に熱処理などにより結晶化した多結晶シリコン膜などが活性層として用いられる。これらの多結晶シリコン膜では、多結晶としての特徴である粒界ばかりでなく多くの結晶欠陥が含まれている。

【0006】 このような点から、単結晶シリコン層に形成されるトランジスタに比べ、一般的にキャリア移動度が低く、素子としての抵抗値も高い。逆に言えば、液晶

駆動などの数十ボルト程度の電圧をスイッチングするが、大きな電流値はあまり必要とされない用途には、適していることがわかる。

【0007】 ゲート電極としては、一般に高濃度にドーピングした多結晶シリコン膜が用いられている。これは、アルミニウムなどの金属を用いると、後工程の処理温度を400°C程度までに低くしておく必要が生じるのに比べ、より高い温度での処理が可能となるためである。

10 【0008】

【発明が解決しようとする課題】 薄膜トランジスタの電気特性は、単結晶シリコン層を活性層とするものとは、大きく異なっている。特徴的なことは、図4(a)に示すNチャネル薄膜トランジスタのゲート電圧・ドレイン電流の特性図に見られるように、ゲート電圧の極性が逆になった場合に、ゲート電圧の絶対値に依存したようなリーク成分が見られることにある。これは、ドレイン端での空乏層でのゲート端部付近の電界が影響していると考えられている。このようなリーク電流は、高温処理をおこなっても容易に低減化できず、実用上の問題となっていた。

【0009】 この様な薄膜トランジスタを液晶駆動に用いる場合では、液晶をはさむ電極に電位の変動する信号を与え、液晶を揺動する必要があるために、ゲート電位が最低電位となるような状況が発生する。このために、まさに上記のゲート電圧の極性が逆転するわけで、このときのリーク電流を低く抑えることが回路上要求されていた。

【0010】

30 【課題を解決するための手段】 本発明の第1の薄膜トランジスタは、絶縁基板上に設けた多結晶シリコン膜と、前記多結晶シリコン膜にゲート絶縁膜を介して設けたゲート電極とを有する薄膜トランジスタにおいて、前記ゲート電極が一導電型半導体膜及び前記一導電型半導体膜の上に積層して設け且つ前記一導電型半導体膜とPN接合を有する逆導電型半導体膜を有する。

【0011】 本発明の第2の薄膜トランジスタは、絶縁基板上に設けた多結晶シリコン膜と、前記多結晶シリコン膜上に設けたゲート絶縁膜と、前記ゲート絶縁膜上に設けた一導電型半導体膜からなるゲート電極と、前記ゲート電極の引出線とPN接合を有する逆導電型半導体膜からなる配線を備えている。

【0012】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0013】 図1(a)～(d)は本発明の第1の実施例の製造方法を説明するための工程順に示した断面図である。

【0014】 まず、図1(a)に示すように、絶縁基板50の上に、多結晶シリコン膜2を50nmの厚さに堆積

し、多結晶シリコン膜2の上にCVD法により酸化シリコン膜3を50nmの厚さに堆積する。次に、酸化シリコン膜3の上にCVD法により多結晶シリコン膜を0.4μmの厚さに堆積して875°Cでのリン拡散により高濃度のリンを多結晶シリコン膜にドーピングし、層抵抗80Ω/□のN型多結晶シリコン層4を形成する。

【0015】次に、図1(b)に示すように、N型多結晶シリコン層4の表面にホウ素イオンを15keVの加速エネルギーと、 $1 \times 10^{16} \text{ cm}^{-2}$ 程度のドーズ量で、イオン注入して多結晶シリコン層4の上に、P型多結晶シリコン層5を形成する。

【0016】次に、図1(c)に示すように、P型多結晶シリコン層5の上にフォトレジスト膜6を塗布してバターニングし、フォトレジスト膜6をマスクとして、ドライエッティング法によりP型多結晶シリコン層5、N型多結晶シリコン層4、酸化シリコン膜3を順次エッティング除去してゲート電極を形成する。次に、フォトレジスト膜6をマスクとして70keVの加速エネルギーと $1 \times 10^{16} \text{ cm}^{-2}$ のドーズ量でヒ素を多結晶シリコン膜2にイオン注入し、N型拡散層7を形成する。ここで、フォトレジスト膜6直下は、フォトレジスト膜6の膜厚が2μm程度と厚いために、ヒ素が注入されることはない。

【0017】次に、図1(d)に示すように、フォトレジスト膜6を酸素プラズマ処理などを用いて除去した後、ゲート電極を含む表面に酸化シリコン膜8を堆積する。次に、XeCl₂、エキシマ・レーザーを、0.3J/cm²の照射量で照射して、イオン注入層の活性化アニールをおこなった。エキシマ・レーザーは、波長が308nmと短く、多結晶シリコン膜での光の吸収がきわめて高いために、表面層のみをアニールできる特徴を有している。次に、酸化シリコン膜8を選択的にエッティングしてコンタクトホールを形成し、コンタクトホールを含む表面にアルミニウム膜を1μmの厚さに堆積して、バターニングし電極9を形成した。

【0018】図2(a)～(c)は第1の実施例のゲート電極及び接合領域と電気的に接合する電極配線の形成方法を説明するための工程順に示した断面図である。

【0019】まず図2(a)に示すように、図1(a)～(c)により説明した工程でP型多結晶シリコン層5及びN型多結晶シリコン層4を選択的に順次エッティングして形成した接合構造を持つゲート電極を含む表面にCVD法で酸化シリコン膜8を堆積する。次に、酸化シリコン膜8の上にフォトレジスト膜10を塗布してバターニングし、フォトレジスト膜10をマスクとしてドライエッティング法により酸化シリコン膜8をエッティングしてコンタクトホール11を形成し、コンタクトホール11のP型及びN型多結晶シリコン層5、4にホウ素イオン12を30keVの加速エネルギーでイオン注入し、P型拡散層5aを形成する。

【0020】次に、図2(b)に示すように、フォトレジスト膜10を除去した後、フォトレジスト膜13を塗布してバターニングし、フォトレジスト膜13をマスクとして酸化シリコン膜8をエッティングしてコンタクトホール14を形成し、コンタクトホール14のP型及びN型多結晶シリコン層5、4にリンイオンを70keVの加速エネルギーでイオン注入し、N型拡散層4aを形成する。ここで、ドーズ量は、いずれも $1 \times 10^{16} \text{ cm}^{-2}$ 程度である。イオン注入後の活性化には、ソース・ドレイン領域の活性化と同時にエキシマ・レーザーにより処理した。

【0021】次に、図2(c)に示すように、コンタクトホール11、14を含む表面にアルミニウム膜を堆積してP型及びN型の多結晶シリコン層5、4のそれぞれと接続する電極配線16a、16bのそれぞれを形成する。

【0022】図3は本発明の薄膜トランジスタの等価回路図である。

【0023】図3に示すように、薄膜トランジスタのゲート電極にクランプダイオードが接続された構成を有する。

【0024】ゲート長4μm、ゲート幅40μmのものについて電気特性を調べた。ここで、P型多結晶シリコン層5をソース電極と共に接地し、ドレイン電極を10Vの電圧に保持し、N型多結晶シリコン層4からなるゲート電極の電圧を-20Vから20Vに変化させた。図4(b)に示すように、ゲート電圧が正の領域では、トランジスタの動作領域としてゲート電圧に依存したドレイン電流が観測されるが、ゲート電圧が負の領域では、リーキ電流として観測されるドレイン電流は、pA以下の極めて低いレベルにあった。しかも、負のゲート電圧の絶対値が大きくなても、ほぼ一定の値を示しており、ゲート電圧が-20Vでは、同時に作成した従来構造のものに比べ、2桁近いリーキ電流の低減となることが確認できた。これは、ゲート電極の接合領域を順方向に電流がながれ、ゲート酸化膜に直接接触する部分が、接地電位となつたためである。

【0025】この順方向となる場合に、十分に接地電位に近くなるためには、直列に配置した外部負荷抵抗を大きな値にとっておくことが望ましい。消費電力の面でも、このときの電流は小さくする必要がある。外部の負荷抵抗として、これには、薄膜トランジスタの活性層チャネル部分の低濃度ドーピング層を利用することができます、容易にMΩレベルの抵抗値が得られる。

【0026】図5(a)、(b)は本発明の第2の実施例を示す平面図及びA-A'線断面拡大図である。

【0027】図5(a)、(b)に示すように、第1の実施例と同様の工程を用いて、絶縁基板1の上に設けた多結晶シリコン膜2の上に酸化シリコン膜3を設け、酸化シリコン膜3の上にN型多結晶シリコン層4を設けて

バターニングし、ゲート電極を形成する。次に、層間絶縁膜として酸化シリコン膜8を形成し、コンタクトホール開口後に、コンタクトホールのN型多結晶シリコン層4にホウ素イオンをイオン注入してP型多結晶シリコン層5を形成し、PN接合を形成する。第1の実施例では上下方向のPN接合となっていたのに対し、ここでは、コンタクトホールの近傍にPN接合を形成している。次に、ゲート電極としてのN型多結晶シリコン層4と、このN型多結晶シリコン層4とPN接合を介して接続したP型多結晶シリコン層5のそれぞれにコンタクトホールを設けてアルミニウム電極6を形成し、P型多結晶シリコン層5を接地電位に接続する。

【0028】この第2の実施例では、ゲート幅方向に電流が流れるために、電圧効果が生じる。この影響は、順方向となるときには、もともと非動作領域の電位であるために、ドレイン電流への影響は小さい。逆方向の場合には、動作領域のゲート電位での変動となるが、接合リーカとして流れる電流レベルが小さいために発生する電圧効果は小さい。たとえば、層抵抗200Ω/□で、ゲート幅20μm、ゲート長2μmであるとすると、ゲート部分の抵抗は1kΩとなる。したがって、10nA程度の接合リーカ電流ならば、電圧降下分は20μVである。このときのドレイン電流の変化を見積ると、サブスレッショルド特性として、100mV/decadeのサブスレッショルド・スティング値を示したとしても、たかだか0.05%程度であることがわかる。

【0029】実際に、作成したトランジスタでは、第1の実施例と異なる様子は、電気特性上には見られなかった。第2の実施例では、多結晶シリコン層の層抵抗に注意する必要があるものの、より簡単な工程で効果を達成することができる。

【0030】

【発明の効果】以上説明したように本発明は、ゲート電

* 極にPN接合を設けてクランプダイオードを接続することにより、ゲート電圧の極性が逆転したときのリーク電流を低減させて薄膜トランジスタの動作を安定化させることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造方法を説明するための工程順に示した断面図。

【図2】本発明の第1の実施例の電極配線の形成方法を説明するための工程順に示した断面図。

10 【図3】本発明の薄膜トランジスタの等価回路図。

【図4】従来例と本発明のゲート電圧対ドレイン電流特性を示す図。

【図5】本発明の第2の実施例を示す平面図及びA-A'線断面拡大図。

【図6】従来の薄膜トランジスタの一例を示す断面図。

【符号の説明】

1, 21 絶縁基板

2, 22 多結晶シリコン膜

3, 8 酸化シリコン膜

20 4 N型多結晶シリコン層

4a N型拡散層

5 P型多結晶シリコン層

5a P型拡散層

6, 10 フォトレジスト膜

7 N型拡散層

9, 27 電極

11, 14 コンタクトホール

15 リンイオン

16a, 16b 電極配線

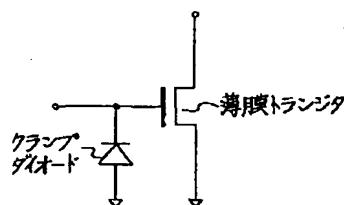
30 23 ゲート絶縁膜

24 ゲート電極

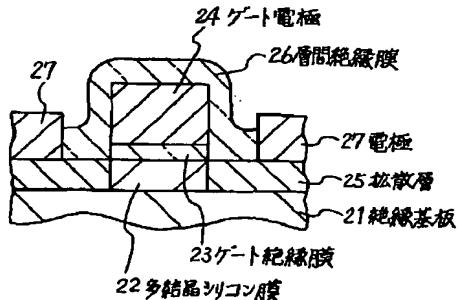
25 拡散層

26 層間絶縁膜

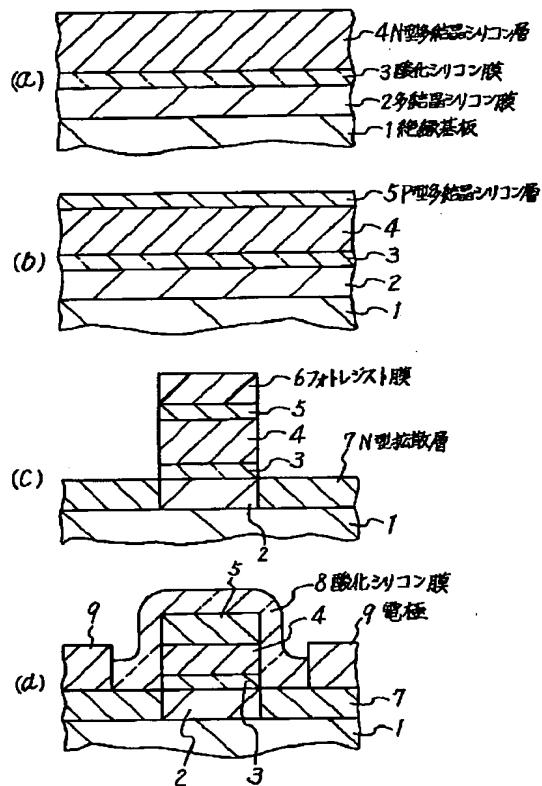
【図3】



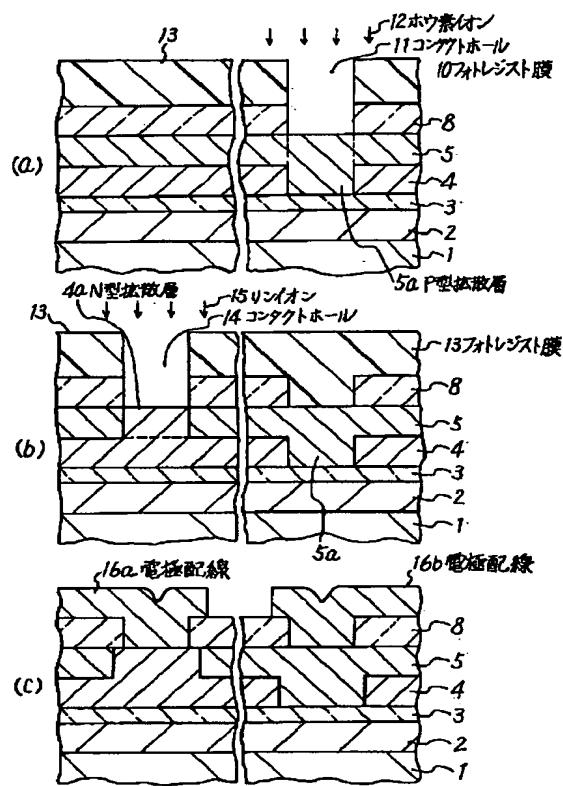
【図6】



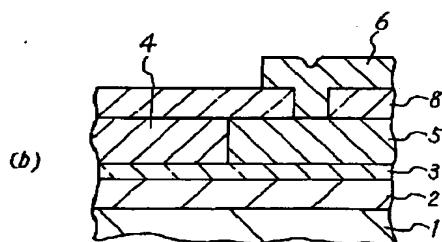
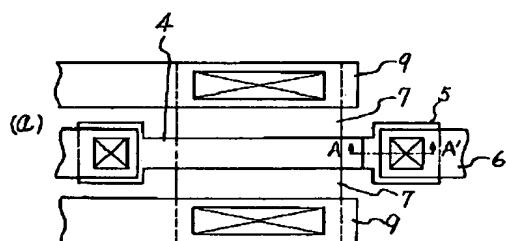
【図1】



【図2】



【図5】



【図4】

